

EUROPEAN PATENT OFFICE

8

Patent Abstracts of Japan

PUBLICATION NUMBER : 2002190477
 PUBLICATION DATE : 05-07-02

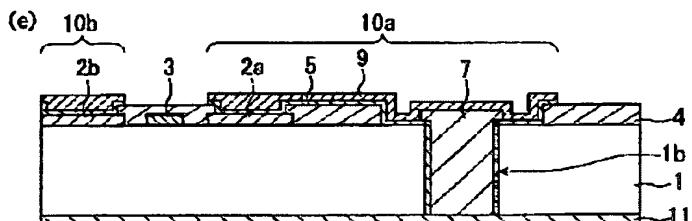
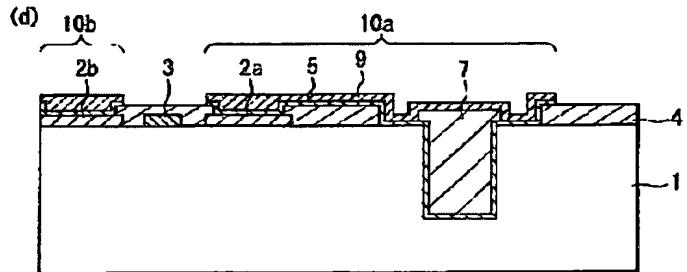
APPLICATION DATE : 22-12-00
 APPLICATION NUMBER : 2000391233

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : NAKAMURA YUKIO;

INT.CL. : H01L 21/3205 H01L 21/338 H01L
 29/812

TITLE : SEMICONDUCTOR DEVICE AND
 METHOD OF MANUFACTURING THE
 SAME



ABSTRACT : PROBLEM TO BE SOLVED: To provide a semiconductor device and a method of manufacturing the same, in which the resistance value of a via-hole conductor inside a depressed hole of high aspect ratio formed in a semiconductor substrate is reduced, and the via-hole conductor is satisfactorily brought into contact with a backside metal with satisfactory adhesion.

SOLUTION: This semiconductor device comprises device-element components 2a, 2b, 3, a through-hole 1b that pierces the semiconductor substrate 1, a base metal layer 5 formed on the surface of the semiconductor substrate and on the sidewall face of the through-hole, an electroplated Cu layer 7 filled inside the through-hole via the underlying metal layer, a wiring metal layer 9 that connects the ground electrodes of the device-element parts to the electroplated Cu layer, and a backside metal layer 11 formed on the backside of the semiconductor substrate to contact the electroplated Cu layer.

COPYRIGHT: (C)2002,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-190477

(P2002-190477A)

(43)公開日 平成14年7月5日 (2002.7.5)

(51)Int.Cl.⁷
H 0 1 L 21/3205
21/338
29/812

識別記号

F I
H 0 1 L 21/88
29/80

テマコード*(参考)
J 5 F 0 3 3
U 5 F 1 0 2

審査請求 未請求 請求項の数11 O L (全 9 頁)

(21)出願番号

特願2000-391233(P2000-391233)

(22)出願日

平成12年12月22日 (2000.12.22)

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 中村 行雄

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74)代理人 100095555

弁理士 池内 寛幸 (外5名)

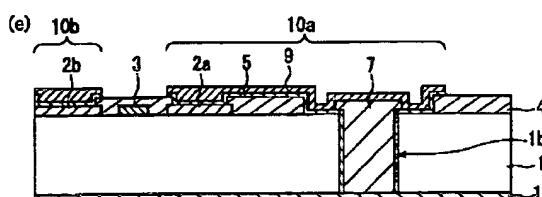
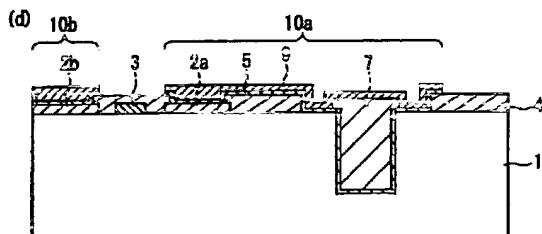
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】 (修正有)

【課題】 半導体基板に形成した高アスペクト比の四形状穴の内面に形成されたバイアホールの抵抗値を低減し、かつバイアホールが裏面金属と密着性よく接觸している半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板1の表面に形成された素子部2a、2b、3と、半導体基板を貫通した貫通穴1bと、半導体基板の表面と貫通穴の側壁面に形成された下地金属層5と、貫通穴に下地金属層を介して充填された電解Cuメッキ層7と、素子部の接地電極と電解Cuメッキ層とを接続した配線金属層9と、半導体基板の裏面に電解Cuメッキ層と接続して形成された裏面金属層11とを備える。



【特許請求の範囲】

【請求項1】 半導体基板の表面に形成された素子部と、前記半導体基板を貫通した貫通穴と、前記半導体基板の表面と前記貫通穴の側壁面に形成された下地金属層と、前記貫通穴に前記下地金属層を介して充填された電解Cuメッキ層と、前記素子部の接地電極と前記電解Cuメッキ層とを接続した配線金属層と、前記半導体基板の裏面に前記電解Cuメッキ層と接続して形成された裏面金属層とを備えたことを特徴とする半導体装置。

【請求項2】 半導体基板の表面に形成された素子部と、前記半導体基板を貫通した貫通穴と、前記素子部を含む半導体基板の表面と前記貫通穴の側壁面に形成された下地金属層と、前記下地金属層表面に前記素子部の接地電極と接続して形成された電解Auメッキ層と、前記貫通穴に前記下地金属層及び前記電解Auメッキ層を介して充填された電解Cuメッキ層と、前記半導体基板の裏面に前記電解Cuメッキ層と接続して形成された裏面金属層とを備えたことを特徴とする半導体装置。

【請求項3】 前記貫通穴は、開口幅が10～60μm、アスペクト比が0.5～4であることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 前記電解Cuメッキ層は、前記貫通穴の底部から20μm以上の厚みで充填されていることを特徴とする請求項1または2に記載の半導体装置。

【請求項5】 前記電解Cuメッキ層は、前記貫通穴の内面及びその周辺部に設けられており、前記半導体基板表面上には10μm以下の厚みで形成されていることを特徴とする請求項4に記載の半導体装置。

【請求項6】 前記下地金属層は、前記貫通穴の側壁面に密着するTiまたはCrからなる密着層と、その密着層上に積層されたNiまたはPtからなるバリヤ層と、そのバリヤ層上に積層されたAuまたはCuからなる抵抗層からなることを特徴とする請求項1または2に記載の半導体装置。

【請求項7】 半導体基板の表面に素子部を形成する工程と、前記半導体基板の表面から選択的に凹状穴を形成する工程と、前記半導体基板の表面と前記凹状穴の内面に下地金属層を形成する工程と、前記凹状穴に前記下地金属層を介して電解Cuメッキ層を充填する工程と、前記素子部の接地電極と前記電解Cuメッキ層とを接続する配線金属層を形成する工程と、前記半導体基板に対しその裏面から薄厚化を施して裏面に前記電解Cuメッキ層を露出させる工程と、前記半導体基板の裏面に裏面金属層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項8】 半導体基板の表面に素子部を形成する工程と、前記半導体基板の表面から選択的に凹状穴を形成する工程と、前記半導体基板の表面と前記凹状穴の内面に下地金属層を形成する工程と、前記凹状穴に前記下地金属層表面に前記素子部の接地電極と接続されるように電解Auメッキ層を形成する工程と、前記電解Auメッキ層を充填する工程と、前記半導体基板に対しその裏面から薄厚化を施して裏面に前記電解Cuメッキ層を露出させる工程と、前記半導体基板の裏面に裏面金属層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項9】 前記電解Cuメッキ層を充填する工程において、電解メッキに用いるメッキ液は、高分子界面活性剤及びイオウ化合物の添加剤を含む硫酸銅メッキ液であることを特徴とする請求項7または8記載の半導体装置の製造方法。

【請求項10】 前記電解Cuメッキ層を充填する工程において、前記電解メッキに用いるメッキ液は、銅濃度が25～75g/Lの電解メッキ液であることを特徴とする請求項7または8記載の半導体装置の製造方法。

【請求項11】 前記電解Cuメッキ層を充填する工程において、前記電解メッキの電解電流値を段階的に減少させてメッキを行うことを特徴とする請求項7または8記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バイアホール構造を有する半導体装置及びその製造方法に関し、特に高いアスペクト比の貫通穴を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、携帯電話やパーソナルハンディホンシステム（PHS）等の移動体通信機器の需要が急速に拡大し、これに伴って使用周波数もMHz帯からGHz帯へと高周波化が進んでいる。これら移動体通信機器の受信・送信部における周波数変換回路や信号增幅回路には、高周波領域でも高利得・低歪み・低電流動作が可能なガリウム砒素（GaAs）電界効果トランジスタ（FET）が広く用いられている。

【0003】GaAsFETは、GaAsよりなる半絶縁性基板上に形成され、実装時にダイシングによりチップに分割されリードフレーム上にマウントされた後、基板上のFETの電極とリードフレーム間にAuワイヤによる電気接続がなされる。しかしながらこのような構成では、特に高周波領域における動作に関してAuワイヤが寄生インダクタンスとして作用し、FETの利得を低下させるという問題がある。

【0004】この問題を解決するために、GaAs基板に貫通穴を形成し、これを用いてFETのソース電極とリードフレーム間の電気接続を行う構造、いわゆるバイアホール構造が盛んに研究開発されている。この方法によれば、Auワイヤを使用した場合に比べてソース電極とリードフレーム間の距離を短くできるため、寄生インダクタンスが大幅に抑制され、FETの利得低下を防止することができる。

【0005】移動体通信機器の小型化に伴い、G a A s F E Tの小型化は不可欠であり、バイアホールの貫通穴の縮小化が必要となっている。しかしながらバイアホールの貫通穴の縮小化は、貫通穴内の配線金属のカバーレジを悪化させるため、バイアホールの抵抗値を増大せしめ、その結果、寄生インダクタンスが増加しF E Tの利得を低下させるという問題があった。

【0006】この問題を解決するために、貫通穴を縮小し、かつ貫通穴の内壁に大きな厚みの低抵抗金属が密着したバイアホールを有する半導体装置及びその製造方法が、特開平7-193214号公報に開示されている。図5は、同公報に開示された半導体装置の製造方法を示す工程別断面図である。以下、この図に基づいてこの種の半導体装置の製造方法を示す。

【0007】まず図5(a)に示すように、G a A s 基板1の表面に、ソース電極2a、ドレイン電極2b、ゲート電極3を有するF E Tを形成する。次に絶縁膜4を形成し、次いで、図示しないフォトレジストパターンを形成した後、このフォトレジストパターンをマスクにして、G a A s 基板1に、反応イオン性エッチング(R I E)を施して、深さが100~120μm、開口幅が50~60μmの凹状穴1aを形成し、この後、フォトレジストパターンを除去する。

【0008】次に、凹状穴1aの内面を含むG a A s 基板1表面の全面に対して、スパッタリングにより厚みが500Å以下のT i、C rまたはN iからなる密着層と、厚みが2000Å程度のA uからなる低抵抗金属層をこの順に積層した下地金属層12を形成する。

【0009】続いて図5(b)に示すように、下地金属層12の配線として残すべき部分以外の部分上にフォトレジストパターン8を形成する。次に、フォトレジストパターン8をマスクにして、下地金属層12を触媒として、下地金属層12の露出部及び凹状穴1aの内面の下地金属層12が形成されていない部分に、選択的に厚み5000Å程度の無電解N i系合金メッキ層13を形成する。ここで、無電解N i系合金メッキ層13は、下地金属層12の表面及び凹状穴1aの内面に対して高い密着性をもって密着する。

【0010】次に、下地金属層12及び無電解N i系合金メッキ層13をメッキ用給電層として、無電解N i系合金メッキ層13の表面に、3μm以上の電解A uメッキ層9を形成する。ここで電解A uメッキ法を選択した理由は、凹状穴1aの内面にカバーレジ良く被覆できることと、成長レートが速くミクロンオーダーの膜厚が可能であり、低抵抗の配線パターンが形成できるためである。

【0011】次に図5(c)に示すように、フォトレジストパターン8を除去した後、イオンミリングまたはエッチングにより、下地金属層12のフォトレジストパターン8の下に配設されていた部分を選択的に除去する

と、G a A s 基板1表面上から凹状穴1aの内壁面に沿って、ソース電極2aと接続した配線パターン10aが形成される。10bは、同時に形成されるドレイン電極2bと接続された配線パターンを示す。

【0012】この後、G a A s 基板1を裏面側から機械研磨し、図5(d)に示すように、凹状穴1aを貫通させてG a A s 基板1の貫通穴1bを形成する。これにより配線パターン10aの底部を貫通穴1bから露出させ、この露出した配線パターン10aの表面とG a A s 基板1の裏面に、蒸着またはメッキにより裏面金属層11を形成する。このようにして、貫通穴1bを通して、配線パターン10aと裏面金属層11が等通したバイアホールが得られる。

【0013】

【発明が解決しようとする課題】上記のように、特開平7-193214号公報に記載の半導体装置の製造方法は、まずG a A s 基板1表面にソース電極2a、ドレイン電極2b、ゲート電極3を有するF E Tを形成した後、G a A s 基板1の表面に、深さ100~120μm、開口幅が50~60μmの凹状穴1aを形成する工程と、G a A s 基板1の表面と凹状穴1aの内面に下地金属層12と無電解N i系合金メッキ層13を形成する工程と、下地金属層12と無電解N i系合金メッキ層13をメッキ用給電層としてソース電極と接続した電解A uメッキ層9を形成する工程と、基板裏面の機械研磨を行い配線パターン10aの底部を露出させ、裏面金属層11を形成する工程を備えたものである。

【0014】ここで特開平7-193214号公報に記載の技術に従い、図5(d)に示すように、配線パターン10aの底部をG a A s 基板1の貫通穴1bから露出させるには、G a A s 基板1aの裏面の研磨精度が15μm程度であるため、配線パターン10aの底部の膜厚は20μm以上必要となる。これであれば、研磨後に底面で10μm以上確保できる。ここで研磨精度とは、所定の研磨量をねらった研磨により実際に得られる、同一基板面内あるいは異なる基板間での最大と最小の研磨量の差を言う。配線パターン10aの底部は、裏面から約2500Åの下地金属層12と約5000Åの無電解N i系合金メッキ層13と電解A uメッキ層9から成り、電解A uメッキ層9が厚みの大半を占めるため、配線パターン10aの底部の膜厚を20μm以上とするためには、電解A uメッキ層9の厚みを20μm以上としなければならない。

【0015】しかしながら、凹状穴1aに電解A uメッキ層9を20μm以上の厚膜で形成しようとしても、凹状穴1aの表面部と底部で反応種の拡散層の厚みが異なるため、凹状穴1aの底部のメッキ成長速度が、凹状穴1aの表面部のメッキ成長速度を下回り、最後には図6に示すような、電解A uメッキ層9の表面を閉じた状態のボイドが形成される。この現象は凹状穴1aのアスペ

クト比が高い場合に顕著に発生する。たとえば上記の例である深さ100～120μm、開口幅が50～60μmの凹状穴1aの場合は、電解Auメッキ層9の底部のメッキ厚が10μmまで成長した時点で、電解Auメッキ層9の表面部のメッキ厚が30μmまで成長し、電解Auメッキ層9の表面を閉じた状態のポイドが形成され、電解Auメッキ層9の底部のメッキ成長は10μmで停止する。

【0016】以上のように、上記の例では配線パターン10aの底部の膜厚は10μmが限界であるのに対し、GaAs基板1a裏面の研磨精度は15μm程度である。そのため、GaAs基板1の裏面を研磨して貫通穴1bを形成した時点で、配線パターン10aの底部が無くなってしまう可能性が高い。その後、裏面金属11を形成するが、裏面金属11と接触する配線パターン10aの接触面は、図7に示すような10μm以下の金属側壁層のみとなり、前記接触面において、抵抗成分の増加や接着強度の低下を招く。その結果、特性面においてGaAs基板1a上の配線パターン10aと裏面金属層11間の抵抗値（以降バイアホールの抵抗値と称する）が4～10mΩまで増大し、寄生インダクタンスを増加せしめ、FETの利得を低下させるという問題が発生する。

【0017】また裏面金属11と配線パターン10aとの接着強度が低いため、温度サイクル等の信頼性において、バイアホールのオープン不良が発生する。

【0018】本発明は上記のような問題点を解決するものであり、半導体基板に形成した高アスペクト比の凹状穴の内面に形成されたバイアホールの抵抗値を低減し、かつバイアホールが裏面金属と密着性よく接触している半導体装置及びその製造方法を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明の半導体装置は、半導体基板の表面に形成された素子部と、半導体基板を貫通した貫通穴と、半導体基板の表面と貫通穴の側壁面に形成された下地金属層と、貫通穴に下地金属層を介して充填された電解Cuメッキ層と、素子部の接地電極と電解Cuメッキ層とを接続した配線金属層と、半導体基板の裏面に電解Cuメッキ層と接続して形成された裏面金属層とを備える。

【0020】他の本発明の半導体装置は、半導体基板の表面に形成された素子部と、半導体基板を貫通した貫通穴と、素子部を含む半導体基板の表面と貫通穴の側壁面に形成された下地金属層と、下地金属層表面に素子部の接地電極と接続して形成された電解Auメッキ層と、貫通穴に下地金属層及び電解Auメッキ層を介して充填された電解Cuメッキ層と、半導体基板の裏面に電解Cuメッキ層と接続して形成された裏面金属層とを備える。

【0021】上記いずれかの構成によれば、貫通穴に形

成されたバイアホールの抵抗値を、十分に低くすることができる。すなわち、電解Cuメッキ層は、アスペクト比の高い穴に対して底部から十分な厚みで形成することが容易である。従って、半導体基板の非貫通穴に電解Cuメッキ層を充填し、半導体基板の裏面を研磨して貫通穴としたときに、一般的な研磨精度の範囲内で、電解Cuメッキ層の十分な厚みを確保することが可能である。また裏面金属層は、裏面に露出した電解Cuメッキ層全面と接触しているため密着強度が向上し、温度サイクル等の信頼性が向上する。

【0022】上記いずれかの構成において、貫通穴は、開口幅が10～60μm、アスペクト比が0.5～4とすることができる。

【0023】また、上記いずれかの構成において、電解Cuメッキ層は、貫通穴の底部から20μm以上の厚みで充填する。好ましくは、35μm以上の厚みで充填する。そうすれば、半導体基板を裏面側から機械研磨し、電解Cuメッキ層を半導体基板の裏面から露出させる工程において、半導体基板の裏面研磨の精度が15μmであることを考慮しても、裏面研磨後の電解Cuメッキ層露出部の厚みは20μm以上残ることになる。これにより、例えば深さ100μm、開口幅50μmの貫通穴にバイアホールを形成した場合、バイアホールの抵抗値は2mΩ以下になり、寄生インダクタンスを抑制し、FETの利得が2～3dB向上する。

【0024】この構成において、電解Cuメッキ層は、貫通穴の内面及びその周辺部に設けられており、半導体基板表面上には10μm以下の厚みで形成されていることが好ましい。

【0025】また、上記いずれかの構成において、下地金属層は、貫通穴の側壁面に密着するTiまたはCrからなる密着層と、その密着層上に積層されたNiまたはPtからなるバリヤ層と、そのバリヤ層上に積層されたAuまたはCuからなる低抵抗金属層からなることが好ましい。この構成によれば、密着層は凹状穴との密着性を向上させる。バリヤ層は、その上に形成されるAu、Cu等の低抵抗金属層が半導体基板内に拡散することを防止する。低抵抗金属層は、その上に形成されるAu、Cu等の電解メッキ層をウエハ面内に均一に形成させる作用を持つ。

【0026】本発明の半導体装置の製造方法は、半導体基板の表面に素子部を形成する工程と、半導体基板の表面から選択的に凹状穴を形成する工程と、半導体基板の表面と凹状穴の内面に下地金属層を形成する工程と、凹状穴に下地金属層を介して電解Cuメッキ層を充填する工程と、素子部の接地電極と電解Cuメッキ層とを接続する配線金属層を形成する工程と、半導体基板に対しその裏面から薄厚化を施して裏面に電解Cuメッキ層を露出させる工程と、半導体基板の裏面に裏面金属層を形成する工程とを備える。

【0027】また、他の本発明の半導体装置の製造方法は、半導体基板の表面に素子部を形成する工程と、半導体基板の表面から選択的に凹状穴を形成する工程と、半導体基板の表面と凹状穴の内面に下地金属層を形成する工程と、下地金属層表面に素子部の接地電極と接続されるように電解Cuメッキ層を形成する工程と、凹状穴に下地金属層及び電解Cuメッキ層を介して電解Cuメッキ層を充填する工程と、半導体基板に対しその裏面から薄厚化を施して裏面に電解Cuメッキ層を露出させる工程と、半導体基板の裏面に裏面金属層を形成する工程とを備える。

【0028】上記いずれかの方法によれば、貫通穴に形成されたバイアホールの抵抗値を、十分に低くすることができる。すなわち、電解Cuメッキ層は、アスペクト比の高い穴に対して底部から十分な厚みで形成することが容易である。従って、半導体基板の凹状穴の内面に電解Cuメッキ層を充填し、半導体基板の裏面を研磨して電解Cuメッキ層を露出させた後に、一般的な研磨精度の範囲内で、電解Cuメッキ層の十分な厚みを確保することが可能である。

【0029】上記いずれかの方法において好ましくは、電解Cuメッキ層を形成する工程において、電解メッキに用いるメッキ液を、高分子界面活性剤及びイオウ化合物の添加剤を含む硫酸銅メッキ液とする。これらの添加剤を含んだ硫酸銅メッキ液は、プリント配線板のスルーホールメッキ及びビルトアップ法プリント配線板のマイクロビアメッキに広く使用されている。高分子界面活性剤はマイクロビア表面部のメッキ成長の抑制、またイオウ化合物はマイクロビア底部のメッキ成長を促進させる機能を有する。硫酸銅メッキ液にこれら2種類の添加剤を加えることにより、開口幅80～150μm、アスペクト比1程度のマイクロビアへの充填メッキが容易になる。すなわち、半導体基板の表面と凹状穴の内面に下地金属層を形成し、下地金属層を給電層として、半導体の表面と凹状穴に電解Cuメッキを行う工程において、凹状穴の底部はメッキ成長が促進され、かつ半導体基板上はメッキ成長が抑制される。従って、凹状穴の底部は例えば35μm以上の厚みで成長させ、かつ半導体基板上は例えば10μm以下の厚みに抑えることが可能である。

【0030】上記いずれかの方法において好ましくは、電解Cuメッキ層を形成する工程において、電解メッキに用いるメッキ液は、銅濃度が25～75g/Lの電解メッキ液とする。

【0031】プリント配線板のスルーホールメッキに使用される硫酸銅メッキ液としては、均一電着性を重視したハイスロー浴と呼ばれる銅濃度15～25g/Lの低銅濃度電解メッキ液が使用される。しかしながらハイスロー浴で、本発明に係るバイアホール、例えば深さ100μm、開口幅50μmの凹状穴に、電解メッキを行う

と、メッキ成長速度が著しく遅く、電解Cuメッキ層を充填するために処理時間は4時間要し、生産性に問題があった。そこで電解メッキに用いるメッキ液の、電解電流値を上げるため、銅濃度を25～75g/Lに高濃度化すると、深さ100μm、開口幅50μmの凹状穴に前記電解Cuメッキ層を充填するための処理時間は2時間まで短縮できた。従ってこの構成により、半導体基板表面から形成した高アスペクト比の凹状穴の内面に、電解Cuメッキ層を短時間で充填することができ、生産性が向上する。

【0032】上記いずれかの方法において好ましくは、電解Cuメッキ層を形成する工程において、電解メッキの電解電流値を段階的に減少させてメッキを行う。

【0033】ビルトアップ法プリント配線板のマイクロビアはアスペクト比1程度であるため、メッキ中の電解電流値は固定でマイクロビアを充填できる。一方、例えば深さ100μm、開口幅50μmのアスペクト比2の凹状穴に、電解Cuメッキを電解電流値固定で行うと、凹状穴に電解Cuメッキ層が充填されるにつれて電解Cuメッキ層の表面積が減少するため、電流密度が上昇し、添加剤の平滑性機能が作用しなくなりボイドが発生する。そこでこの発明の方法では、電解Cuメッキの電流密度を一定範囲に制御するため、段階的に電解電流値を減少させるメッキ方法を用いる。この構成により、半導体基板表面から形成した高いアスペクト比1～4の凹状穴の内面に、電解Cuメッキ層を高い平滑性をもって充填可能となる。

【0034】

【発明の実施の形態】(実施の形態1) 図1および図2は、本発明の実施の形態1における半導体装置の製造方法を示す工程別断面図である。図において、図5と同一の符号は同一または相当する部分を示す。

【0035】以下、この図に基づいて本実施の形態の半導体装置の製造方法を説明する。まず図1(a)に示すように、GaAs基板1表面にソース電極2a、ドレン電極2b、ゲート電極3を有するFETを形成する。次に絶縁膜4を形成し、次いで、図示しないフォトレジストパターンを形成した後、このフォトレジストパターンをマスクにして、GaAs基板1に、誘導結合型プラズマ(ICP)によるドライエッチングを施して、深さが100μm、開口幅が50μmの凹状穴1aを形成し、この後、フォトレジストパターンを除去する。次に、凹状穴1aの内面を含むGaAs基板1表面の全面に対して、スパッタリングにより厚みが1000Å程度のTiまたはCrからなる密着層と、厚みが2000Å程度のNiまたはPtからなるバリヤ層と、厚みが200Å程度のAuまたはCuからなる低抵抗金属層をこの順に積層した下地金属層5を形成する。

【0036】統いて図1(b)に示すように、下地金属層5の凹状穴を充填すべき部分以外の部分上にフォトレ

【0046】フォトレジストパターン6を除去した後、図4(d)に示すように、イオンミリングまたはエッチングにより、GaAs基板1上に露出した下地金属層5を選択的に除去する。これにより、GaAs基板1表面及び凹状穴1aの内面上に形成された下地金属層5及び電解Auメッキ層9と、電解Cuメッキ層7からなる、ソース電極2aに接続された配線パターン10aが形成される。

【0047】この後図4(e)に示すように、GaAs基板1を裏面側から機械研磨し、凹状穴1aを貫通させて貫通穴1bを形成する。これにより配線パターン10aの底部を貫通穴1bから露出させ、この露出した配線パターン10aの表面とGaAs基板1の裏面に蒸着またはメッキにより裏面金属層11を形成する。このようにして、貫通穴1bを通して、配線パターン10aと裏面配線としての裏面金属層11が導通したバイアホールが得られる。

【0048】上記のような構成を取ることで、バイアホールの抵抗値が従来の4~10mΩから2mΩ以下に低減し、その結果、寄生インダクタンスが抑制されFETの利得が2~3dB向上する。

【0049】

【発明の効果】本発明によれば、半導体基板の表面から選択的に形成された高アスペクト比の貫通穴に、低抵抗金属である電解Cuメッキ層を高い平滑性をもって充填したバイアホールを有する半導体装置が構成され、貫通穴の開口部を縮小でき、半導体素子の小型化が可能になる。しかも、貫通穴に低抵抗金属である電解Cuメッキ層を十分な厚みを確保して形成できるため、バイアホールの抵抗値が低減し、その結果、寄生インダクタンスが抑制され利得が向上する。さらに、貫通穴に充填した電解Cuメッキ層と裏面金属層は密着性よく接觸しているため、バイアホールの温度サイクルによる信頼性が向上する。

【図面の簡単な説明】

【図1】本発明の実施の形態1における半導体装置の製造方法を示す工程別断面図

【図2】図1に続く工程を示す工程別断面図

【図3】本発明の実施の形態2における半導体装置の製造方法を示す工程別断面図

【図4】図3に続く工程を示す工程別断面図

【図5】従来例の半導体装置の製造方法を示す工程別断面図

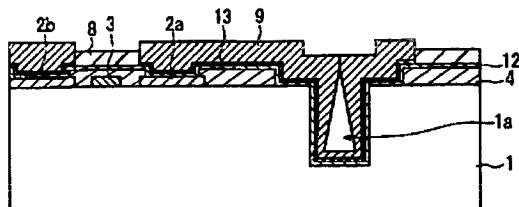
【図6】従来例の半導体装置の製造方法における電解Auメッキ層の不具合を説明するための断面図

【図7】従来例の半導体装置の製造方法における配線パターンの不具合を説明するための断面図

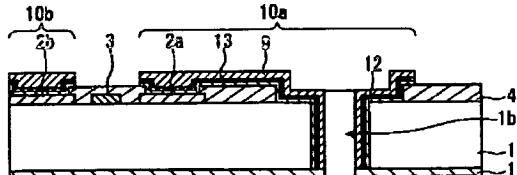
【符号の説明】

- 1 GaAs基板
- 1a 凹状穴
- 1b 貫通穴
- 2a ソース電極
- 2b ドレイン電極
- 3 ゲート電極
- 4 絶縁膜
- 5 下地金属層
- 6 フォトレジストパターン
- 7 電解Cuメッキ層
- 8 フォトレジストパターン
- 9 電解Auメッキ層
- 10a 配線パターン
- 10b 配線パターン
- 11 裏面金属層
- 12 下地金属層
- 13 無電解Ni系合金メッキ層

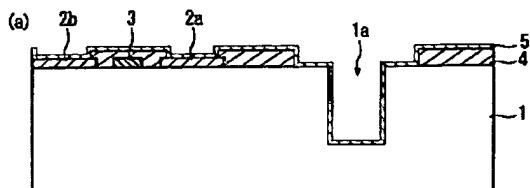
【図6】



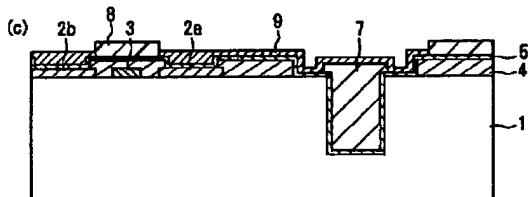
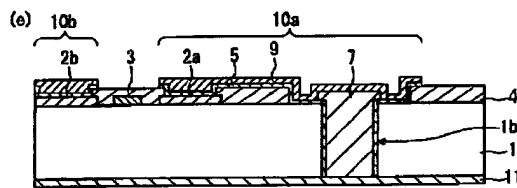
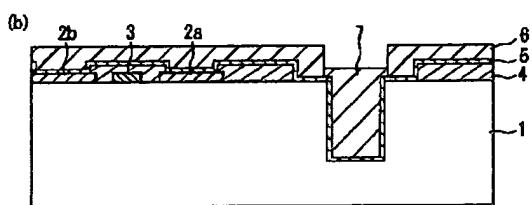
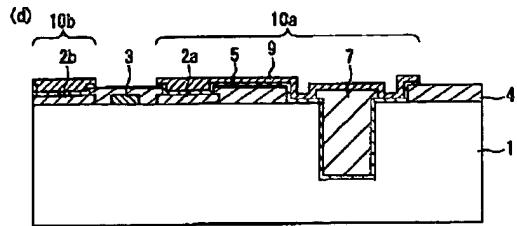
【図7】



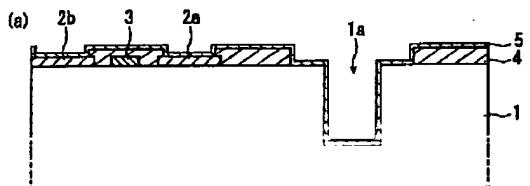
【図1】



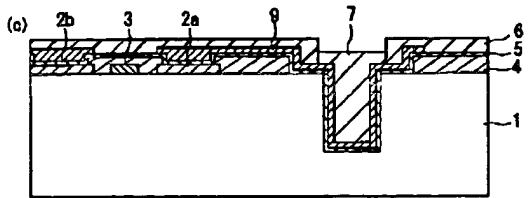
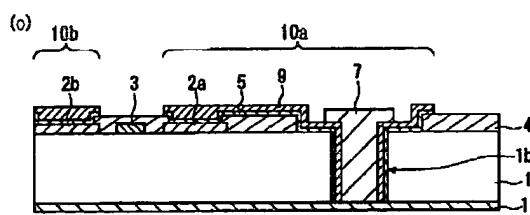
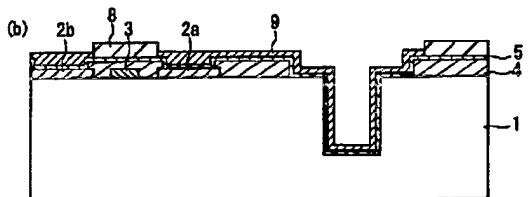
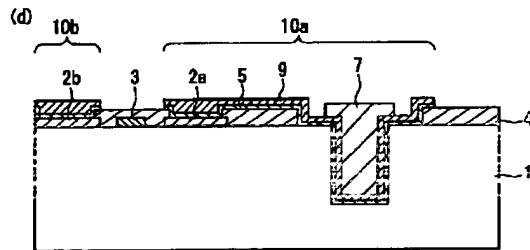
【図2】



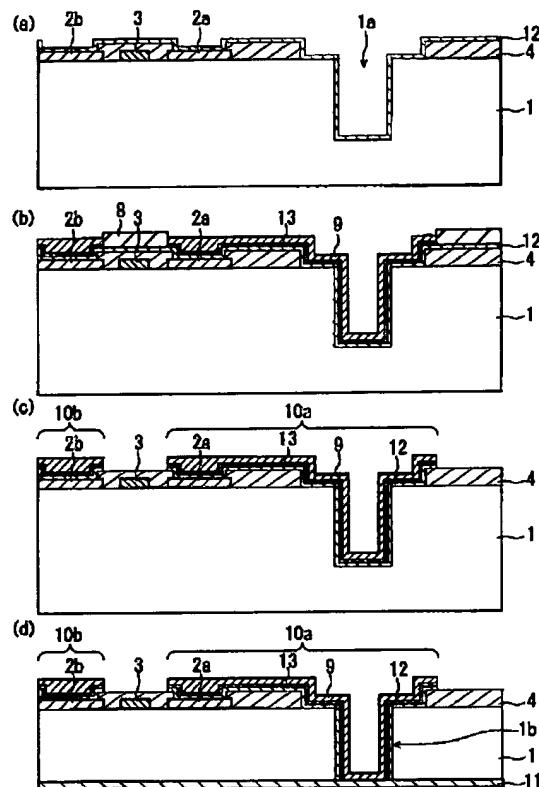
【図3】



【図4】



【图5】



フロントページの続き

Fターム(参考) SF033 GC02 HH07 HH11 HH13 HH17
 HH18 JJ07 JJ11 JJ13 JJ17
 JJ18 MM08 MM13 MM30 MM05
 NN15 PP15 PP19 PP27 QQ07
 QQ08 QQ12 QQ14 QQ27 QQ37
 QQ47 WW00 WW01 WW02 WW04
 WW08 WW10 XX03 XX09
 5F102 FA00 GB01 GC01 GD01 GJ05
 HC11 HC16 HC30